

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-221980

(43)公開日 平成8年(1996)8月30日

(51) Int.Cl.⁶
G 1 1 C 11/407
H 0 1 L 27/04
21/822
H 0 2 M 3/07

識別記号 序内整理番号

F I

技術表示箇所

G 1 1 C 11/34
H 0 2 M 3/07
H 0 1 L 27/04

364 F

B

審査請求 有 請求項の数 4 OJ (全 8 頁)

(21) 出願番号 特願平7-25749

(22)出願日 平成7年(1995)2月15日

(71) 出售人 000004322

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者　塚田　修一

東京都港区芝五丁目7番1号 日本電気株
式会社内

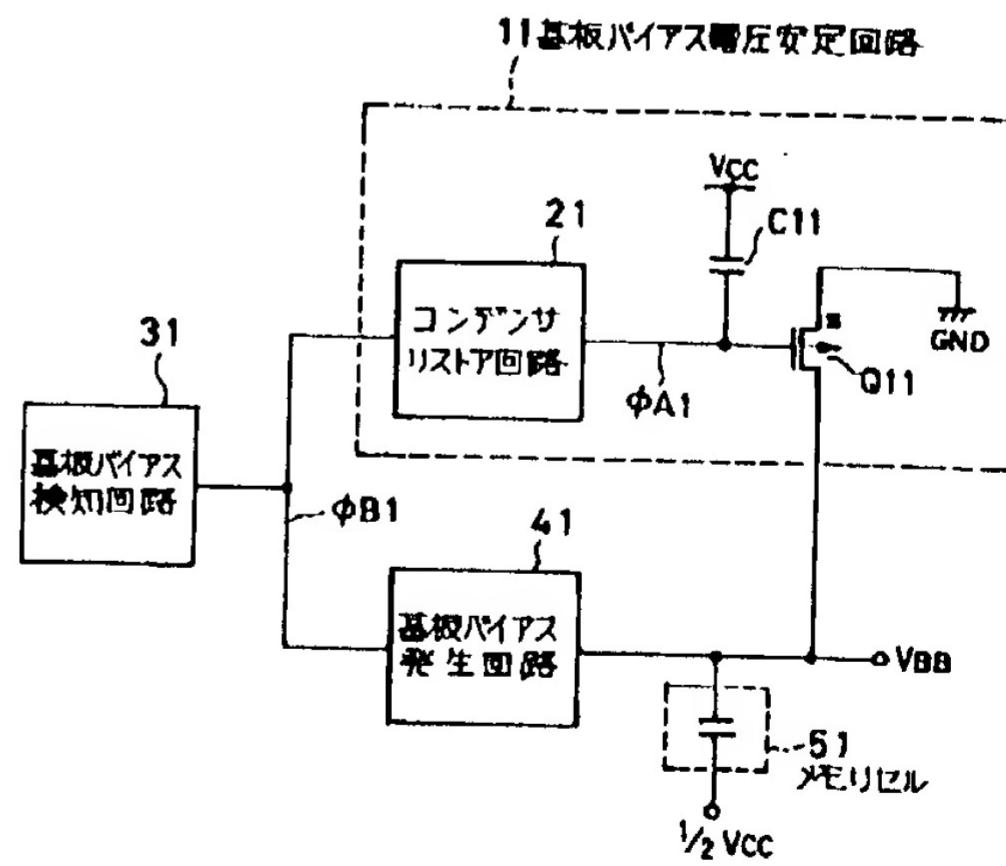
(74) 代理人 弁理士 ▲柳川信

(54) 【発明の名称】 バイアス電圧発生回路

(57)【要約】

【目的】 DRAM等の半導体回路における基板バイアス電圧を電源バンプ（電源突起）時にも安定化させる

【構成】 基板バイアスVBBとGNDとの間にオンオフ用のMOSトランジスタQ11を設け、このトランジスタQ11のゲート($\phi A1$)と電源VCCとの間に容量C11を設ける。VBBが設定値以下の時には基板バイアス発生回路41は非動作状態にあるが、電源VCCが低下すると、トランジスタQ11がオンとなり、このオントランジスタを介してGNDよりVBBへエネルギー供給される。VBBが上昇して設定値を越えると、 $\phi B1$ がイネーブルとなって基板バイアス発生回路41が動作すると同時にコンデンサリストア回路21が動作して信号 $\phi A1$ をGNDとし、容量C11をリストアする。これにより、トランジスタQ11をオフに維持する。



【特許請求の範囲】

【請求項1】バイアス電圧の絶対値が設定値以下のときに検出信号を生成するバイアス電圧検知手段と、前記検出信号の発生期間活性化されて前記バイアス電圧の絶対値が前記設定値になるように制御するバイアス電圧発生手段と、電源と前記バイアス電圧との間に設けられたスイッチ素子と、このスイッチ素子の制御電極と第2の電源との間に設けられた容量素子と、前記検出信号の発生に応答して前記容量素子と前記制御電極との接続点の電圧を前記第1の電源の電圧に設定制御する制御手段とを含むことを特徴とするバイアス電圧発生回路。

【請求項2】前記制御手段は、前記検出信号の存在期間オンとなるオーブンドレイン形式のトランジスタを有し、このトランジスタのドレインに前記接続点が接続され、ソースに前記第1の電源が供給されていることを特徴とする請求項1記載のバイアス電圧発生回路。

【請求項3】前記バイアス電圧は半導体集積回路装置の基板バイアス電圧であることを特徴とする請求項1または2記載のバイアス電圧発生回路。

【請求項4】前記バイアス電圧は、前記第1の電源の電圧を昇圧したブースト電圧であることを特徴とする請求項1または2記載のバイアス電圧発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はバイアス電圧発生回路に関し、特に半導体集積回路装置におけるダイナミックRAM回路等の動作に必要な基板バイアス電圧や昇圧電圧を安定に得るためのバイアス発生回路に関するものである。

【0002】

【従来の技術】一般に、ダイナミック型の半導体RAM装置(DRAM)は基板バイアス回路を内蔵しており、メモリセルトランジスタ等のNチャネルMOSトランジスタの基板バイアスVBBを負電圧として、データ記憶時間を示す特性であるホールド特性を良好とするようになっている。

【0003】図6はこの種の基板バイアス発生回路のブロック図を示しており、例えば、特開昭63-4491号公報に開示のものである。図において、基板バイアス検知回路31は基板バイアスVBBを検知して設定値より高ければ、検出信号vB1をハイレベル(イネーブル)とし、逆に低ければローレベルとする。基板バイアス発生回路41は検出信号vB1がハイレベルの時に活性化されて基板バイアスVBBを低下させ、逆にvB1がローレベルの時に非活性化されて動作停止状態となる。こうすることにより、基板バイアスVBBは設定電圧に略等しく維持されるようになっているのである。

【0004】DRAMが動作すると、基板電流が流れで基板バイアスVBBが低下するが、図6に示した回路によりこのVBBの電位を常時ほぼ設定値に保つことができ

る。

【0005】通常、DRAMにおけるVBB設定値はホールド特性が最も良くなる電圧に設定される。このDRAMのメモリセルのビット線に平行な断面図の例を図8(a)に示す。N+拡散層1と2及びワード線よりなるセルトランジスタと、セル対極及び STACKポリシリコン層よりなるセルコンデンサとにより、1メモリセルが構成されており、このメモリセルの等化回路が図6にメモリセル51として示されている。

【0006】DRAMはこのセルコンデンサに電荷を蓄積することでデータ(情報)を記憶するものであるが、セルトランジスタのサブスレッシュドリークや、基板とN+拡散層2とのジャンクション部に存在する格子欠陥によるジャンクションリーク等に起因して、メモリセル蓄積電荷はある程度リークすることは避けられず、情報が失われてしまう。

【0007】情報を記憶できる時間、すなわちホールド特性を向上させるには、これ等のリーク量を減らすことが必要になる。これ等のリーク量はVBBの電圧値に大きく依存している。つまり、VBBの電圧が高すぎると、セルトランジスタの閾値が低下してサブスレッシュドリーク電流が増大し、逆に低すぎるとジャンクションリーク電流が増大する。

【0008】これ等のトータルのリーク電流が最小となるVBBの最適値が存在し、その電圧値がVBB設定値として設定される。また、DRAMでは、一定周期毎にリフレッシュと呼ばれる再書き込み動作を行ってリークに対するデータ消失を防いでいる。

【0009】図6に示す如く、VBBラインはメモリセル51を介して1/2VCCラインとの間に大きな容量を有する。これを説明するために、1メモリセルにおけるVBBラインと1/2VCCラインとの間の容量の等化回路を図8(b)に示す。先の図8(a)に示した如く、STACKポリシリコン層とセル対極との間のコンデンサ容量膜の電界を最小に抑えるために、セル対極の電圧は1/2VCCとされている。

【0010】このコンデンサつまり図8(b)におけるC28は約30fF(フェムファラッド)程度の容量値である。また、図8(a)におけるN+拡散層2と基板との間はジャンクション容量が存在し、この容量値は通常1fF程度であり、図8(b)のC38はこの容量を示す。

【0011】また、ビット線は、ほとんどの時間1/2VCCの電位になっており、ビット線と直接つながっているN+拡散層1と基板の間にもジャンクション容量が存在していて、それは1メモリセル当たり約0.5fFの容量値である。この容量は図8(b)において、C48で示されている。

【0012】従って、図8(b)における容量をトータルすればVBBは1/2VCCと1メモリセル当たり約1.

5 fF の容量を持つのである。この値はメモリセルの構造などによって若干変わるが、大きく異なる場合でも高々2倍程度であると考えられている。従って、例えば64M(メガ)DRAMの場合は、VBBは $1/2 \text{ VCC}$ と約 100 nF (ナノファラッド)の非常に大きな容量値を持っていることになる。当然周辺回路などでVBBはVCC(正の電源)やGND(接地電源)との間に容量を持つが、この容量値はメモリセル部の容量値に比べて一桁から二桁小さい値に過ぎない。

【0013】また、図6に示した基板バイアス検知回路31の具体的な回路例を図9に示す。この回路はVBBに流れ込む電流をゼロにしている。これは電流削減のためである。つまり、基板バイアス発生回路41は一般的にチャージポンプ(前述の特開昭63-4491号公報参照)で構成されるが、その回路は構成上VBBから取り去る電流の数倍の電流を電源から消費してしまうのである。従って、トータル的な消費電流を減らすためには、回路が動作する時に流れる基板電流以外はVBBに流れ込む電流をなるべく少なくすることが得策である。

【0014】尚、図6において、PチャンネルトランジスタQ39、Q49が電源VCCとGNDとの間に直列に設けられており、トランジスタQ39のゲートにはGND電位が、トランジスタQ49のゲートには検知すべき基板バイアスVBBが夫々印加されている。そして、両トランジスタの直列接続点の電圧がインバータI1、I2を介して導出され、検出信号のB1となっている。

【0015】VBBが設定値以下の時はトランジスタQ49のドレイン出力はインバータI1の閾値以下であり、よってインバータI1の出力はハイ、インバータI2の出力はローとなり、検出信号のB1はローレベルにある。

【0016】一方、VBBが設定値より高くなると、トランジスタQ49のドレイン出力はインバータI1の閾値を越えるので、インバータI1の出力はロー、インバータI2の出力はハイとなり、検出信号のB1はハイレベルとなるのである。

【0017】最近、バッテリバックアップ式のパーソナルコンピュータが多く出回るようになり、その主記憶装置であるDRAMには低消費電力が求められるようになっている。また、パーソナルコンピュータの用途では、通常DRAMは時間的割合のほとんどがデータ保持のためのリフレッシュ期間に費やされる。そのため特にリフレッシュ期間の消費電流の低減が求められてきている。

【0018】それを実行する一つの有力な方法として、リフレッシュの周期を長くすることがあげられるが、それにはホールド特性を上げることが必要となり、そのため前述したような厳しいVBB電圧の制御が有効になる。また、他の方法として、リフレッシュ期間のみVCCを下げて消費電流を削減する、いわゆるデータリテンションモードが検討されている。動作スピードの求められるリード・ライト時は $VCC = 3.3 \text{ V} (\pm 0.3 \text{ V})$ を

供給し、また、動作スピードの求められないリフレッシュ期間はデータリテンションモードとして、 $VCC = 2.0 \text{ V}$ を供給して消費電流を削減するものである。

【0019】

【発明が解決しようとする課題】データリテンションモードに入る時、VCCは 3.3 V から 2.0 V と大きな電源電圧変動(電源バンプ)がある。この時VBB電圧が非常に低くなり過ぎるという問題がある。図7は図6の従来の基板バイアス回路を用いた場合の電源バンプ時の各信号電圧の変化を示した図である。この図を用いてこの問題の詳しい説明を行う。

【0020】VCCが 3.3 V から 2.0 V に変化すると、 $1/2 \text{ VCC}$ はVCCに追従して低くなる。このため、VBBの電圧も図6におけるメモリセルによる容量カップリングで、 $1/2 \text{ VCC}$ の電圧変化幅とほぼ同じ電圧幅だけ低くなる。

【0021】一方、VCCが低くなれば、ホールド特性などで決まるVBB電圧最適値は高くなるので、VBB設定値は高くする必要がある。この結果図7に示すように、VCCが 2.0 V になった時にはVBBはVBB設定値に対し非常に低い電圧になってしまふ。その時最も問題となるのは、ジャンクションリード電流が大きく増大することによるホールド特性の悪化である。

【0022】またその他にも、VBBを基板電圧とするNチャンネルMOSトランジスタの閾値電圧が高くなつて、各回路の動作スピードが変わることでスキューずれが起り、最悪の場合誤動作を引き起こすという問題もある。DRAMが動作すれば、つまりリフレッシュを行えば基板電流が流れるので、この低くなり過ぎたVBB電圧をVBB設定値まで回復させることができる。

【0023】しかし、VBBに寄生する容量は64MDRAMでは約 100 nF と非常に大きいので、一度のリフレッシュで回復する電圧は極く僅かであり、また通常のVBBへの定常的なリードバスはほとんど無いので、リフレッシュを数百から数十万回繰り返さなければVBB電圧は回復しない。このVBB電圧が回復するまでの期間ホールド特性は悪くなってしまっているので、例えばリフレッシュ周期を早くするなど対策が必要であるが、その場合消費電流が増大するので問題である。

【0024】電源バンプはデータリテンションモードとは関係なく起る場合もある。通常VCCの規格は $\pm 10\%$ であるので、DRAMをこの規格内で使用していても 0.6 V の電源バンプが起きる可能性があり、その場合もVBB電圧が低くなり過ぎる問題が起こる。この問題は上述の特開昭63-4491号公報でも指摘されており、この公報ではVBBへの定常的なリードバスを強制的に設けることでこの問題を解決している。この公報に開示されている基板バイアス検知回路の回路図を図10に示す。VCCとVBBの間にトランジスタQA～QFを直列(一部並列)に配置することでI(VBB)で示したリード

クパスを設けている。

【0025】PチャンネルトランジスタQA, QB及びNチャンネルトランジスタQCのゲートはGNDされており、NチャンネルトランジスタQD, QEはダイオード接続構成とされている。トランジスタQBとQCとの接続点がインバータI3の入力となり、インバータI3の出力がインバータI4の入力となる。そして、このインバータI4の出力が検出信号 $\phi B1$ となっている。尚、インバータI3の出力をPチャンネルトランジスタQFを用いてトランジスタQA, QBの接続点へ帰還してヒステリシス特性を得ている。

【0026】この図10の回路の動作は図9の回路と基本的に同じであり、VBBが設定値より低ければ検出信号 $\phi B1$ はローレベル、高ければハイレベルとなる。

【0027】しかしながらこの回路を図6の基板バイアス検知回路に用いた場合にも、前述したようにI(VB B)の数倍の電流を基板バイアス発生回路41が消費してしまうことになる。例えば、電源バンプ後VBBの電圧を1.0ms(ミリ秒)で1.0V回復させようすると、64MDRAMではI(VBB)は100μA(マイクロアンペア)必要になり、その結果基板バイアス発生回路の消費電流は数百μAになってしまう。通常のDRAMのデータ保持時の電流は百μAであることを考えると、この回路を使用すると消費電流が数倍にもなってしまい問題である。

【0028】本発明の目的は、電源バンプ時においてバイアス電圧が設定値から大きく外れるような場合速やかに設定値に引き込むことができるバイアス電圧発生回路を提供することである。

【0029】本発明の他の目的は、消費電流の削減を可能としたバイアス電圧発生回路を提供することである。

【0030】

【課題を解決するための手段】本発明によるバイアス電圧発生回路は、バイアス電圧の絶対値が設定値以下のときに検出信号を生成するバイアス電圧検知手段と、前記検出信号の発生期間活性化されて前記バイアス電圧の絶対値が前記設定値になるように制御するバイアス電圧発生手段と、電源と前記バイアス電圧との間に設けられたスイッチ素子と、このスイッチ素子の制御電極と第2の電源との間に設けられた容量素子と、前記検出信号の発生に応答して前記容量素子と前記制御電極との接続点の電圧を前記第1の電源の電圧に設定制御する制御手段とを含むことを特徴としている。

【0031】

【作用】バイアス電圧が設定値より低いときは、バイアス電圧と電源電圧との間に設けたMOSトランジスタスイッチのオン状態を制御し、このトランジスタのオン状態に応じて電源からバイアス電圧へエネルギーを供給し、バイアス電圧が設定値より高くなると、トランジスタのゲートに設けた容量素子を充電してトランジスタを以降

オフ制御することで、バイアス電圧は電源バンプ時に速やかに設定値に追従回復する。

【0032】

【実施例】以下に図面を用いて本発明の実施例について説明する。

【0033】図1は本発明の一実施例の構成を示す図であり、図6に示した従来例の回路に基板バイアス安定化回路11を組込んだものである。

【0034】この基板バイアス安定化回路11は、ソースをGNDに、ドレインをVBBに、ゲートを信号 $\phi A1$ に夫々接続したPチャンネルMOSトランジスタQ11と、電源VCCと、信号 $\phi A1$ (トランジスタQ11のゲート)との間に設けられたコンデンサC11と、信号 $\phi A1$ を生成するコンデンサリストア回路21で構成されている。

【0035】コンデンサリストア回路21は、基板バイアス検知回路31の検出出力 $\phi B1$ がイネーブル(ハイレベル)の時、信号 $\phi A1$ をGNDとショート(リストア)する機能を持っており、その具体的な回路図の例を図2に示す。

【0036】図2を参照すると、検出信号 $\phi B1$ がイネーブル(ハイレベル)の時、PチャンネルトランジスタQ31がオンして、ノードa1がVCCになって、NチャンネルトランジスタQ21がオンすることで信号 $\phi A1$ をGNDとショートするようになっている。また、検出信号 $\phi B1$ がローレベルの時は、トランジスタQ31がオフし、抵抗R11によりノードa1がVBB電圧になることでトランジスタQ21がオフするようになっている。つまりコンデンサリストア回路21は、基板バイアス発生回路41がイネーブルの時にコンデンサC11の一電極の信号 $\phi A1$ をGNDにリストする回路構成である。

【0037】次に、電源バンプ時における図1の各信号電圧の変化を図3に示す。この図3を参照しながら図1の回路ブロックの動作を説明する。VCCが3.3Vの期間信号 $\phi B1$ は時々イネーブルになる(図示せず)ので、t0の時信号 $\phi A1$ はGND(0.0V)にリストアされている。

【0038】VCC電圧が下がってくると、1/2VCCとの容量カップリングでVBB電圧は低くなってくるため、信号 $\phi B1$ は常にローとなっていて信号 $\phi A1$ のリストアは行われない。またその時、信号 $\phi A1$ は図1におけるコンデンサC11の容量カップリングによってVCCの電圧変化幅と同じ変化幅で低い電圧になっていく。

【0039】信号 $\phi A1$ は図1におけるトランジスタQ11のゲートにつながっているため、信号 $\phi A1$ がVT(Q11の閾値)まで下がると、トランジスタQ11がオンしてGNDからVBBに電流が流れ始める(t1)。そのためt1以後は、VBBの電圧は次第の高い電圧になっていく。

【0040】VBBの電圧がVBB設定値より高くなると信

号 ϕ B1がハイレベルになり基板バイアス発生回路41が動作するが、それと同時にコンデンサリストア回路21によって信号 ϕ A1がGNDにリストアされ、トランジスタQ11がオフする(t2)。この結果電源バング時、VBBの電圧は速やかに、ほぼVBB設定値通りに回復する。VBBが回復する電圧変化のスピードは、トランジスタQ11のサイズで調節できる。

【0041】このことで従来の回路で問題となっていた、電源バング時にVBB電圧が低くなり過ぎるという欠点を解決することができる。また、図1及び図2における本発明では、定常的に電流を流すバスが無いため、本発明の一実施例である基板バイアス電圧安定回路11を図6で示した従来回路に適用しても、消費電流の増加は殆ど無いという特徴を持つ。

【0042】また、図1に示したように、本発明の一実施例である基板バイアス電圧安定回路11は入力する制御信号は信号 ϕ B1のみであるためにその制御が簡単であり、レイアウト上この回路の配置の制約が少ないという特徴がある。このことは、従来の半導体回路装置に対して本発明を追加修正する場合に大掛かりな配線の変更を必要としない、という利点につながる。

【0043】尚、本発明はその回路構成上、電源バング幅がトランジスタQ11の閾値以上であれば動作するようになっている。最近のDRAMでは数種類の閾値が用意されるようになってきており、また、トランジスタQ11のウエルの電圧をGNDやVCCなど適当に選ぶことで、トランジスタQ11の閾値、すなわち本回路が動作する電源バングの最小の電圧幅は、かなりの自由度で選べる。

【0044】以上、本発明を基板バイアス電圧安定回路として用いた場合の説明を行ってきたが、電源バング時に昇圧電圧を安定させることにも適用できる。最近では、ワード昇圧などのために昇圧電源VBOOSTを半導体回路装置内で恒常に自己発生させるタイプのDRAMが登場している。このVBOOSTにもVBBと同様にVCCの電圧で、最適な電圧があり、その電圧がVBOOST設定値として設定されている。つまりVBOOSTは少なくとも、VCC+ (セルトランジスタの閾値電圧) より高い電圧が必要である。

【0045】また、VBOOSTの電圧が高過ぎても、ワードが動作する時に発生するノイズ量が大きくホールド特性を落とす、VBOOSTを使う回路の動作スピードが早くなってスキューチュラが起こり回路の誤動作につながる、などの問題がある。

【0046】本発明を昇圧電圧の安定に適用した一実施例の回路図を図4に、また、電源バング時の各信号電圧の変化を図5に示す。図4を参照しながらその回路構成を説明する。従来の昇圧回路の構成は、昇圧電圧検知回路34と、その検知出力 ϕ B4でデジタル的に制御される昇圧電圧発生回路44と、昇圧電圧VBOOSTのリップル

に対して安定させる補償容量54で構成されている。

【0047】この従来の回路構成では電源バングがあつてVCC電圧が低くなってしまって、VBOOSTには定常的なリードバスが殆ど無いため、ワードなどの回路が多くの回数動作しない限りVBOOSTは補償容量によって高い電圧に保持されてしまい問題である。この従来の昇圧回路に本発明の昇圧電圧安定回路14を付加することでその問題を解決できるのである。

【0048】昇圧電圧安定回路14は、ソースをVCCに、ドレインをVBOOSTに、ゲートを信号 ϕ A4に接続したNチャンネルMOSトランジスタQ14と、一方の電極をGNDに、他方の電極を信号 ϕ A4に接続したコンデンサC14、及びコンデンサリストア回路24で構成されている。また、コンデンサリストア回路は信号 ϕ B4がイネーブル(ハイレベル)の時に、PチャンネルMOSトランジスタQ24によって信号 ϕ A4をVCCにリストアするようになっている。

【0049】次に図5を参照しながら、図4の回路におけるVCCが3.3Vから2.0Vに電源バングした時の動作を説明する。VCCが3.3Vの時、VBOOSTの電圧はVBOOST設定値に、また信号 ϕ A4は3.3Vになっている(t0)。その後VCCが低くなってくるとVBOOST設定値は下がるが、VBOOSTの電位は元の高い電圧を保持する。

【0050】また、 ϕ B4はローレベルになっているので、信号 ϕ A4はリストアされず、元の3.3Vを維持する。さらにVCCが3.3V-VT (VT: Q14の閾値)まで下がると、トランジスタQ14がオンし、このことでVBOOSTの電位が下がり始める(t1)。そして、VBOOSTが、VBOOST設定値よりも低くなると、信号 ϕ B4がイネーブルになるので、昇圧電圧発生回路14が動作を始めると同時に、コンデンサリストア回路24により信号 ϕ A4がVCCにリストアされ、トランジスタQ14がオフする。この時VBOOSTの電圧は、ほぼその設定値まで下がっている。

【0051】このように、本発明を用いることで電源バング時に、昇圧電圧を速やかに、ほぼその設定値まで下げることができる。また、この昇圧電圧に本発明を適用した場合でも、基板バイアス回路に適用した場合と同様に消費電流の増大がないことや、レイアウト上容易に配置できる、といった特長がある。

【0052】尚、上記図1、2や図4の各実施例では動作電源の極性を全て逆とすることができる、この場合は各トランジスタの導電型も逆とすれば良い。

【0053】

【発明の効果】以上説明したように本発明によれば、データリテンションモードに入る時などに起る電源バングにおいて、設定値から大きく電圧が外れるバイアス電圧を速やかにその設定値に引込む、つまりバイアス電圧を安定させることができるという効果を持つ。例えば、

基板バイアス回路に本発明を適用した場合、電源バンプ時にVBB電圧が低くなり過ぎるという問題を解決し、VBBの電圧を常にほぼその設定値通りにすることができる。その結果ホールド特性の悪化を防ぎ、そのことでリフレッシュ周期を長くすることができ、データ保持電流の削減につながる。また、バイアス電圧の安定は、誤動作の原因となるスキューずれを防ぐ効果もある。

【0054】また本発明のバイアス電圧安定回路は、定常的に電流を流すバスがないという特徴がある。つまり、従来のバイアス回路に本発明のバイアス電圧安定回路を適用しても、消費電流が殆ど増加しないという効果がある。

【0055】さらに本発明のバイアス電圧安定回路は、他の回路から入力する制御信号はバイアスの検知回路の出力のみであるため、その制御が容易であり、レイアウト上この回路の配置の制約が少ないという特徴がある。このことは、従来の半導体回路装置に比較的簡単な修正をするだけで本発明のバイアス電圧安定回路を追加適用できるという利点につながる。

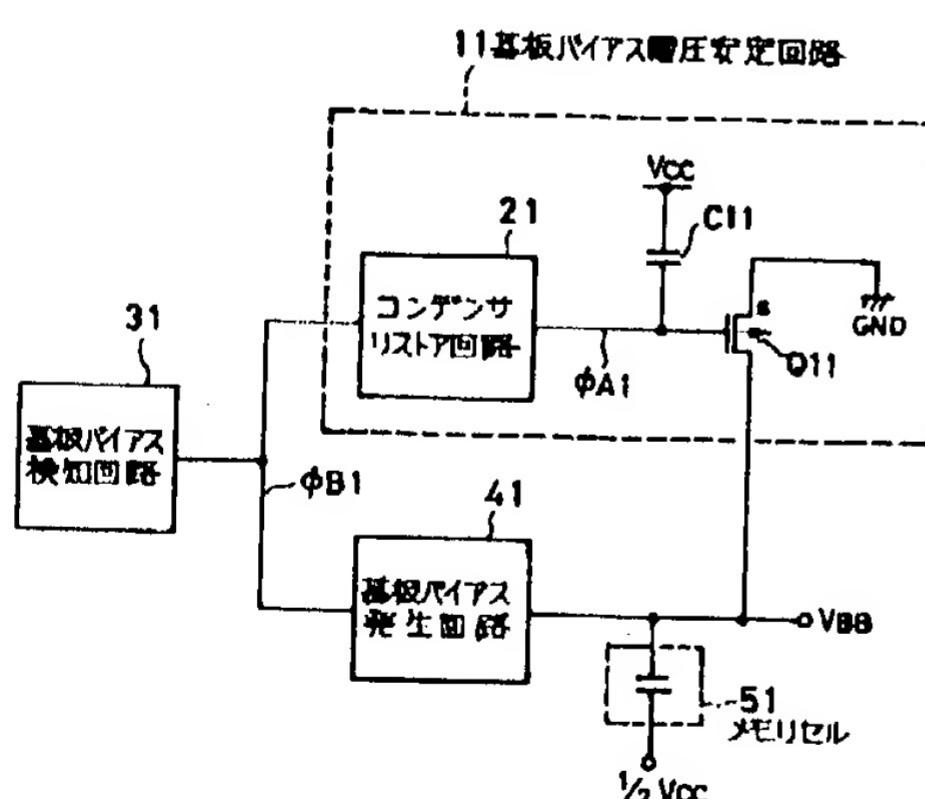
【図面の簡単な説明】

【図1】本発明の一実施例を示す回路ブロック図である。

【図2】図1におけるコンデンサリストア回路の具体的な回路の例を示す回路図である。

【図3】電源バンプ時における、図1の各信号電圧の波形図である。

【図1】



形図である。

【図4】本発明の一実施例を示す回路ブロック図である。

【図5】電源バンプ時における、図4の各信号電圧の波形図である。

【図6】従来の基本バイアス回路のブロック図である。

【図7】電源バンプ時における、図6の各信号電圧の波形図である。

【図8】(a)はDRAMのメモリセルの断面図の例であり、(b)は1メモリセルにおけるVBBと1/2VCC間の容量の等化回路である。

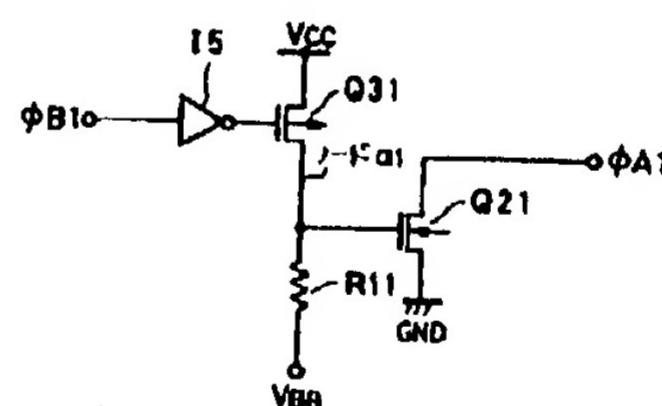
【図9】従来の基板バイアス検知回路の一例を示す図である。

【図10】従来の基板バイアス検知回路の他の例を示す図である。

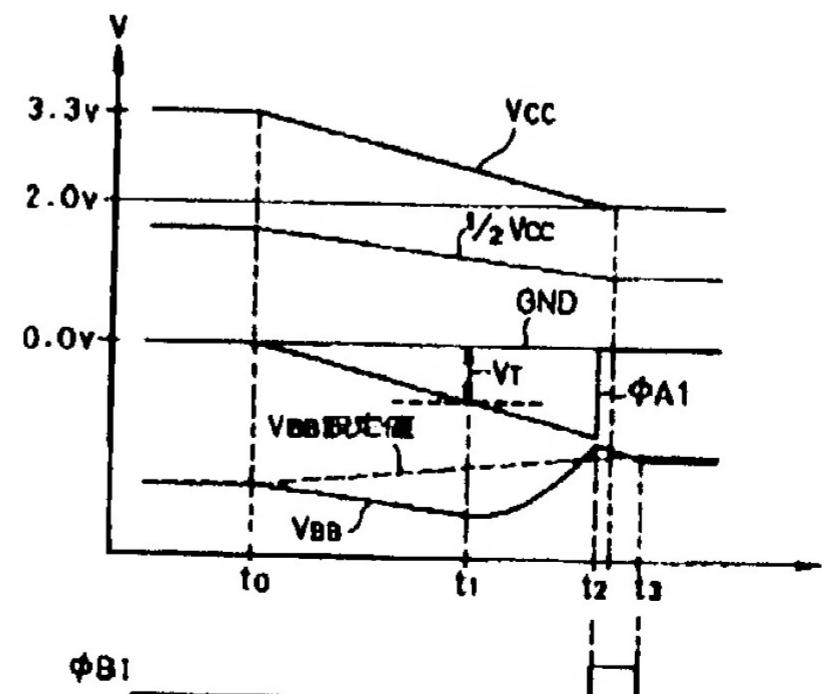
【符号の説明】

11	基板バイアス電圧安定回路
21, 24	コンデンサリストア回路
31	基板バイアス検知回路
41	基板バイアス発生回路
51	メモリセル
14	昇圧電圧安定回路
34	昇圧電圧検知回路
35	昇圧電圧発生回路
54	補償容量

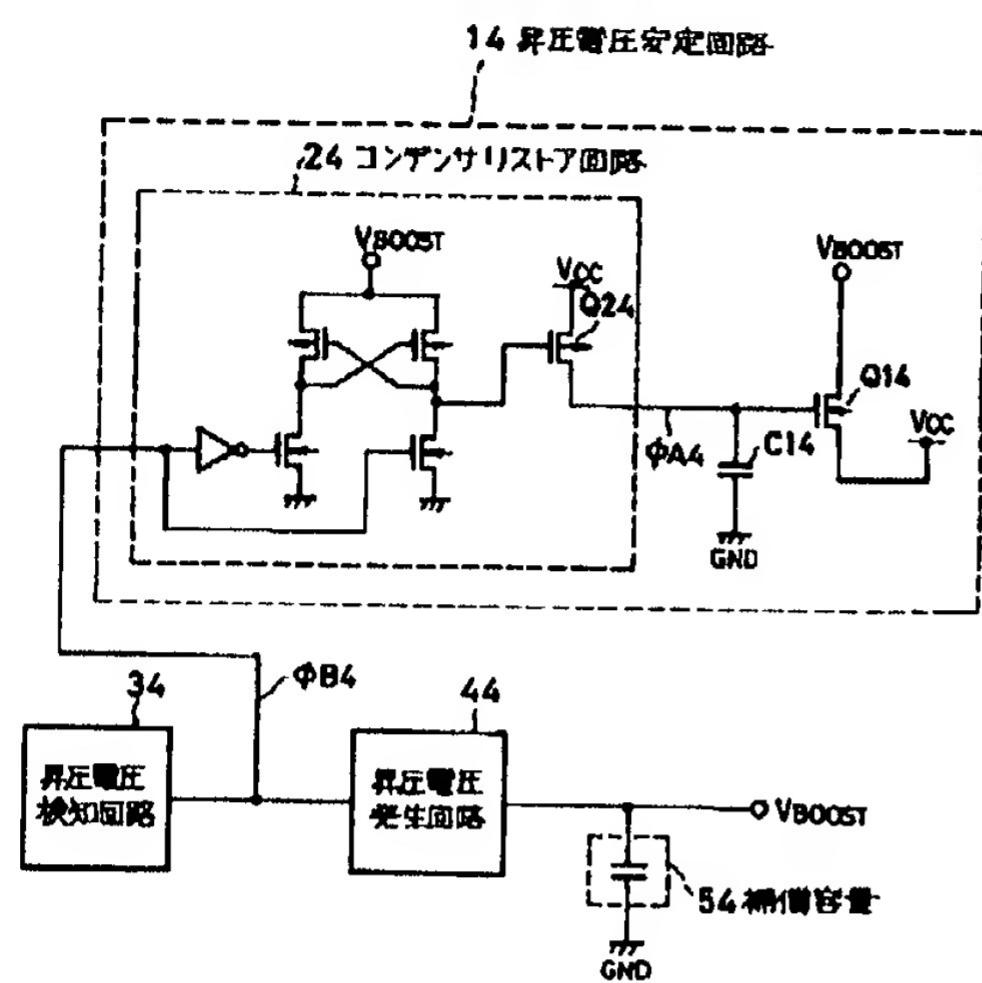
【図2】



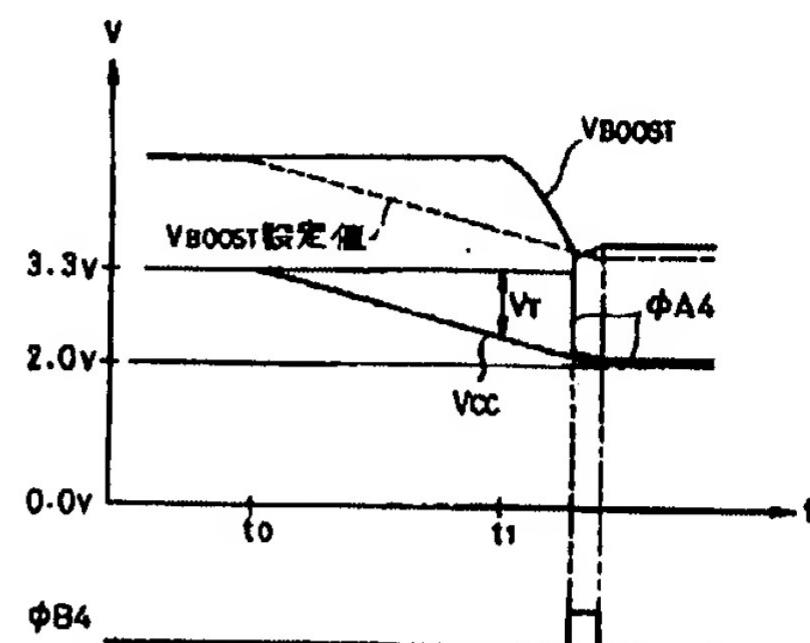
【図3】



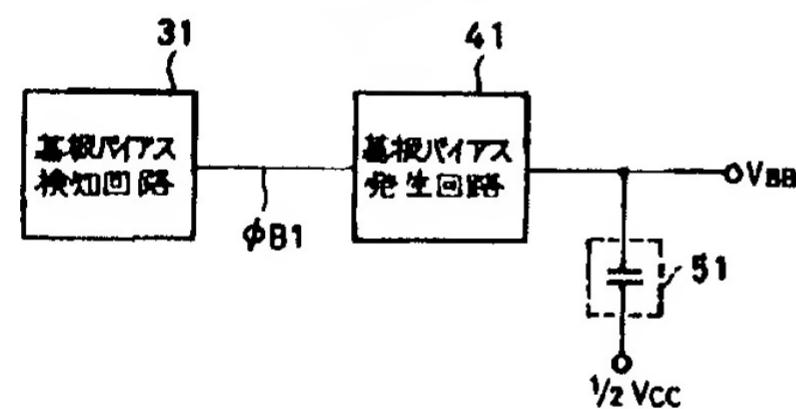
【図4】



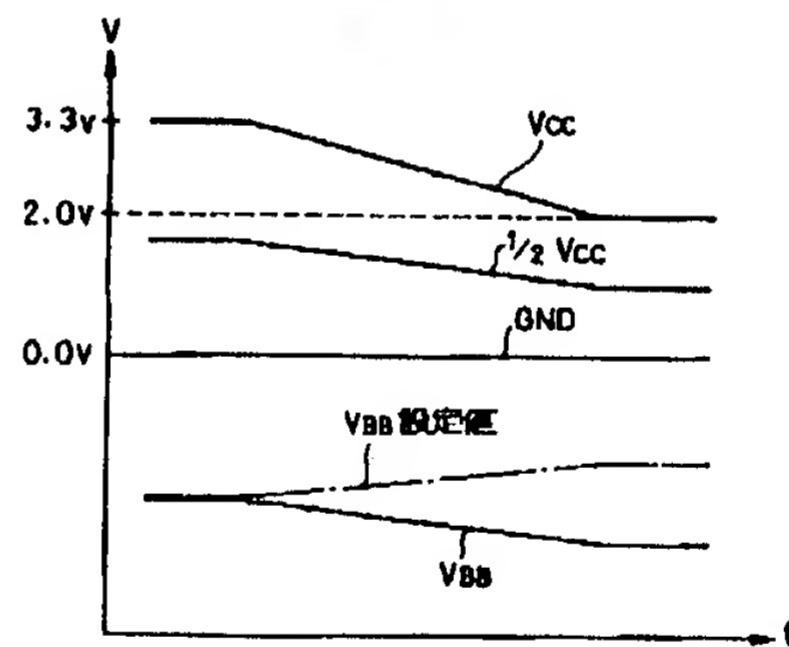
【図5】



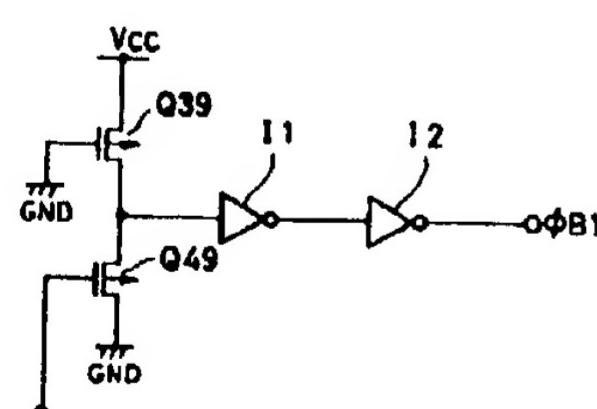
【図6】



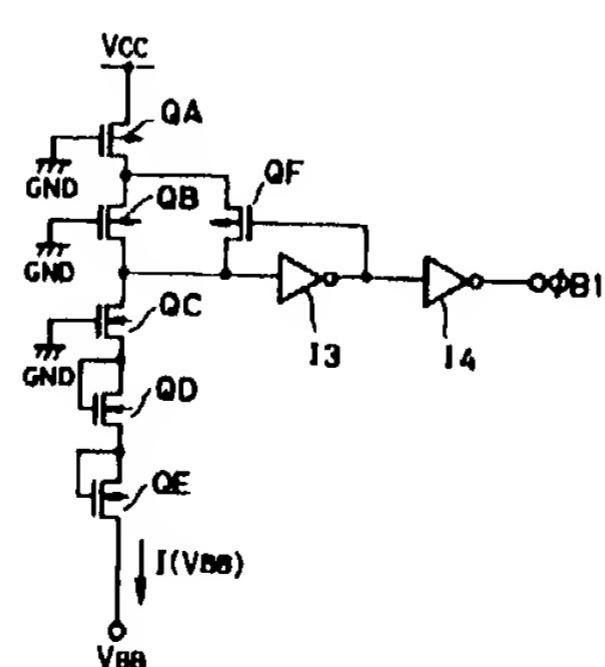
【図7】



【図9】

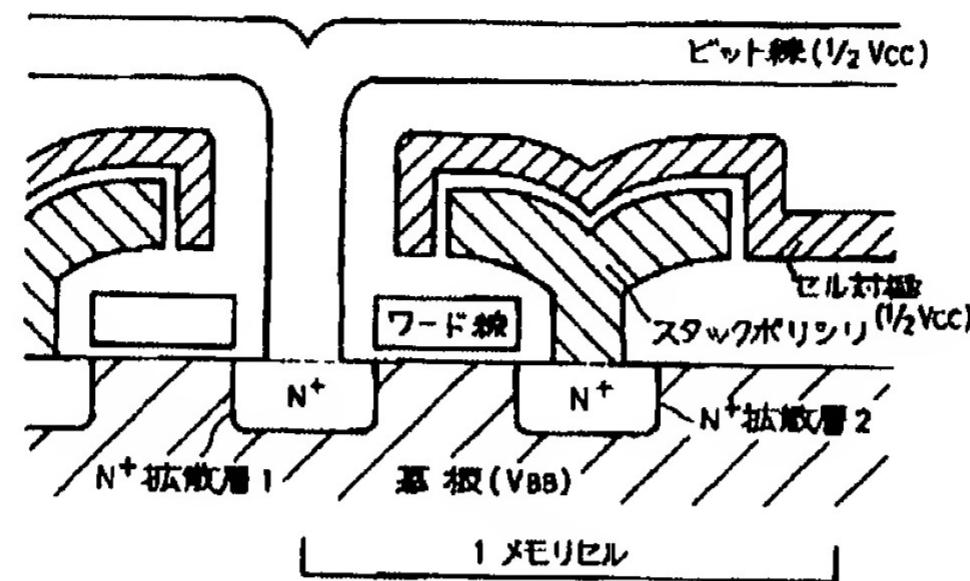


【図10】



【図8】

(a)



(b)

